**ĐỀ 1**

**Câu 1**:  
1.1. Máy tính A có bộ xử lý với tần số xung nhịp 1,5 GHz, có khả năng thực hiện 600 triệu lệnh trên một giây. Tính CPI của nó?  
1.2. Máy tính A có bộ xử lý với chu kì xung nhịp TA = 250 ps, CPI trung bình là 2,0. Máy tính B có bộ xử lý với chu kì xung nhịp TB = 750 ps, CPI trung bình là 1,2. Biết rằng bộ xử lý của hai máy có cùng kiến trúc tập lệnh (ISA). Hỏi máy tính nào nhanh hơn và nhanh hơn bao nhiêu lần ?

**\*\*\*\*\***

1.1 fA = 1.5GHz MIPSA = 600

=> trong 1 giây thực hiện 1,5 .109 chu kỳ

Mà 1 giây cũng thực hiện 600.106 lệnh

=> CPI = fA / (MIPSA . 106) = 15/6 = 2.5

1.2

TA = 250.10-12 (s) CPIA = 2

TB­ = 750.10-12 (s) CPIB = 1,2

Có tA = TA . CPIA . ICA

t**B** = T**B** . CPIB . ICB

=> tA/tB = (CPIA . ICA)/(CPIB . ICB) = 2/(3.1,2)

=> tB = 3.0,6 tA = 1,8 tA

=> Máy a chạy nhanh hơn máy B 1,8 lần

**Câu 5**: Vẽ sơ đồ thiết kế module nhớ RAM 64K x 16bit trên cơ sở chip nhớ SRAM 32K x 8bit.

**\*\*\*\*\***

32K = 25.210 = 215 từ nhớ, mội từ nhớ có độ dài 8 bit

=> Thiết kế modul 64K x 16bit = 4 module 32K x 8 bit.

Mắc 2 module tăng số lượng từ nhớ => 64K x 8 bit

Mắc theo cách tăng độ dài từ nhớ => 64K x 16 bit

**ĐỀ 2**

**Câu 1**: Máy tính A có CPI trung bình là 1,3 và tần số xung nhịp (clock rate) của bộ xử lý là 600 MHz. Máy tính B có CPI trung bình là 2,5 và tần số xung nhịp của bộ xử lý là 750 MHz. Giả sử có một chương trình chạy được trên cả hai máy tính đó. Khi dịch trên máy A chương trình này được dịch thành 100000 lệnh. Hãy xác định khi được dịch trên máy B thì chương trình đó được dịch thành bao nhiêu lệnh để cả hai máy có cùng thời gian thực hiện của CPU (CPU time).

**\*\*\*\*\***

Có tA = TA . CPIA . ICA

t**B** = T**B** . CPIB . ICB

Vì 2 máy có cùng thời gian thực hiện của CPU

=> TA . CPIA . ICA = T**B** . CPIB . ICB

<=> (CPIA . ICA).f**B** = (CPIB . ICB).fA

<=> 1,3 . 105 . 750 . 106 = 2,5 . ICB . 600 . 106

<=> ICB = 0,65 . 105 = 65000 lệnh

**Câu 4**: Cho máy tính với 64KB bộ nhớ chính được đánh địa chỉ theo byte, bộ nhớ cache gồm 16 lines được tổ chức ánh xạ trực tiếp, kích thước mỗi line là 8 bytes.  
*4.1*. Xác định số bit của các trường địa chỉ: Tag, Line, Word.  
*4.2*. Chỉ ra mỗi byte nhớ của bộ nhớ chính có địa chỉ cho dưới đây được nạp vào line nào của cache:

0001 0001 0001 1011

1100 0011 0011 0100

1101 0000 1101 1101

1010 1010 1010 1010  
*4.3*. Giả thiết byte nhớ có địa chỉ 0001 1010 0001 0101 được nạp vào cache. Hãy chỉ ra địa chỉ (theo dạng hexa) của những byte nhớ khác cũng được nạp vào byte nhớ đó trong cùng line.

**\*\*\*\*\***

4.1)

64KB = 216 B => N = 16

16 lines = 24 lines => L = 4

Kích thước line 8 Bytes = 23 Bytes => W = 3

=> T = N - L – W = 16 – 4 – 3 = 9

4.2)

Trường Line của 4 địa chỉ đã cho lần lượt là

0011 => Line 3

0110 => Line 6

1011 => Line 11

0101 => Line 5

4.3)

0001 1010 0001 0101 => 1A15

Các byte nhớ khác được nạp cùng với byte nhớ đã cho vào cùng 1 line sẽ có cùng trường T và L, khác nhau trường W => các byte nhớ đó là:

0001 1010 0001 0000 => 1A10

0001 1010 0001 0001 => 1A11

0001 1010 0001 0010 => 1A12

0001 1010 0001 0011 => 1A13

0001 1010 0001 0100 => 1A14

0001 1010 0001 0110 => 1A16

0001 1010 0001 0111 => 1A17

**Câu 5**: Thiết kế module nhớ RAM dung lượng 128K x 8bit trên cơ sở chip nhớ SRAM 32K x 8bit.

**\*\*\*\*\***

Sử dụng 4 chip nhớ SRAM 32K x 8 bit mắc theo cách tăng số lượng từ nhớ.

**ĐỀ 3**

**Câu 1**: Máy tính A có CPI trung bình là 1,2 và tần số xung nhịp (clock rate) của bộ xử lý là 500 MHz. Máy tính B có CPI trung bình là 2,4 và tần số xung nhịp của bộ xử lý là 600 MHz. Giả sử có một chương trình chạy được trên cả hai máy tính đó. Khi dịch trên máy A chương trình này được dịch thành 90000 lệnh. Hãy xác định khi được dịch trên máy B thì chương trình đó được dịch thành bao nhiêu lệnh để cả hai máy có cùng thời gian thực hiện của CPU (CPU time).

**\*\*\*\*\***

Có tA = TA . CPIA . ICA

t**B** = T**B** . CPIB . ICB

Vì 2 máy có cùng thời gian thực hiện của CPU

=> TA . CPIA . ICA = T**B** . CPIB . ICB

<=> (CPIA . ICA).f**B** = (CPIB . ICB).fA

<=> 1,2 . 9 . 104 . 500 . 106 = 2,4 . ICB . 600 . 106

<=> ICB = 37500 lệnh

**Câu 5**: Cho máy tính với 64KB bộ nhớ chính được đánh địa chỉ theo byte, bộ nhớ cache gồm 32 lines được tổ chức ánh xạ trực tiếp, kích thước mỗi line là 16 bytes.  
*5.1*. Xác định số bit của các trường địa chỉ: Tag, Line, Word.  
*5.2*. Chỉ ra mỗi byte nhớ của bộ nhớ chính có địa chỉ cho dưới đây được nạp vào line nào của cache:  
1101 0001 0001 0010  
0010 1011 0011 0110  
1101 0110 1001 1100  
1110 1010 1000 1011

**\*\*\*\*\***

5.1)

Bộ nhớ chính 64KB = 216 B => N = 16

32 lines = 25 lines => L = 5

Kích thước line 16 Bytes = 24 Bytes => W = 4

=> T = N - L – W = 16 – 5 – 4 = 7

5.2)

5 Byte trường line của các địa chỉ đã cho:

10001 => Line 17

10011 => Line 19

01001 => Line 9

01000 => Line 8

**ĐỀ 4**

**Câu 1**: Trong tập lệnh của máy tính có 3 lớp lệnh A, B, C. CPI và IC theo mỗi lớp lệnh lệnh được cho trong bảng sau

Loại lệnh A B C  
CPI theo loại lệnh 1 2 4  
IC trong dãy lệnh 1 1 2 2  
IC trong dãy lệnh 2 5 2 1  
IC trong dãy lệnh 3 4 1 1

Tính CPI trung bình ứng với mỗi dãy lệnh?

**\*\*\*\*\***

CPI trung bình cho từng dãy lệnh:

* Dãy 1: CPITB = (1.1 + 2.2 + 4.2) / (1+2+2) = 2.6
* Dãy 2: CPITB = (1.5 + 2.2 + 4.1) / (5+2+1) = 1.625
* Dãy 3: CPITB = (1.4 + 2.1 + 4.1) / (4+1+1) = 5/3

**Câu 4**: Thiết kế module nhớ RAM dung lượng 32K x 16bit trên cơ sở IC nhớ SRAM 32K x 4bit

**\*\*\*\*\***

Dùng 4 IC nhớ SRAM 32K x 4 bit mắc tăng độ dài từ nhớ

**Câu 5**: Cho máy tính với bộ nhớ chính có dung lượng 4GB và bộ nhớ chính đánh địa chỉ theo từng byte. Bộ nhớ cache có dung lượng 512KB được tổ chức theo kiểu ánh xạ liên kết tập hợp 8 line/set. Cache có tất cả là 1024 Set từ S0 đến S1023.  
*5.1*. Xác định số bit của các trường địa chỉ: Tag, Set, Word.  
*5.2*. Xác định byte nhớ có địa chỉ 0x10250A03 được ánh xạ vào Set nào của cache ?

**\*\*\*\*\***

5.1)

Bộ nhớ chính 4GB = 232 B => N = 32

Có 1204 set => S = 10

Bộ nhớ cache 512KB = 219 B

Có tất cả 23.210 = 213 line

=> Kích thước Line = 219/213 = 26 => W = 6

=> T = N – S – W = 32 – 10 – 6 = 16

5.2)

0x10250A03 = 0001 0000 0010 0101 0000 1010 0000 0011

=> 10 Bit set là 0000101000 = 40 => lưu vào set S39

**ĐỀ 5**

**Câu 4**: Thiết kế module nhớ RAM dung lượng 128K x 8bit trên cơ sở IC nhớ SRAM 32K x 8bit.

**\*\*\*\*\***

Mắc 4 IC nhớ 32K x 8bit để tăng số lượng từ nhớ.

**Câu 5**: Cho máy tính với 64KB bộ nhớ chính được đánh địa chỉ theo byte, bộ nhớ cache gồm 32 lines được tổ chức ánh xạ trực tiếp, kích thước mỗi line là 4 bytes.  
*5.1*. Xác định số bit của các trường địa chỉ: Tag, Line, Word.  
*5.2*. Chỉ ra mỗi byte nhớ của bộ nhớ chính có địa chỉ cho dưới đây được nạp vào line nào của cache:

0011 1001 0001 1011  
1100 1011 1001 0110  
1001 0010 1101 0101  
0010 1010 1010 1011

*5.3*. Giả thiết byte nhớ có địa chỉ 0010 0011 1001 0111 được nạp vào cache. Hãy chỉ ra địa chỉ (theo dạng hexa) của những byte nhớ khác cũng được nạp vào byte nhớ đó trong cùng line

**\*\*\*\*\***

5.1)

64KB = 216 B => N = 16

32 lines = 25 lines => L = 5

Kích thước line 4 Bytes = 22 Bytes => W = 2

=> T = N - L – W = 16 – 5 – 2 = 9

5.2)

Trường Line của 4 địa chỉ đã cho lần lượt là

00110 => Line 6

00101 => Line 5

10101 => Line 21

01010 => Line 10

5.3)

0010 0011 1001 0111 => 2397

Các byte nhớ khác được nạp cùng với byte nhớ đã cho vào cùng 1 line sẽ có cùng trường T và L, khác nhau trường W => các byte nhớ đó là:

0010 0011 1001 0100 => 2394

0010 0011 1001 0101 => 2395

0010 0011 1001 0110 => 2396